

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085462

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

H05K 3/46

H01L 23/12

H05K 3/00

(21)Application number : 04-186608

(71)Applicant : NIPPON CEMENT CO LTD

(22)Date of filing : 14.07.1992

(72)Inventor : SUGANO OSAMU  
NAKAI KYOICHI  
EZAKI TORU  
TAKAHASHI SHIGERU  
YAMAGISHI SENJO

## (54) MANUFACTURE OF CERAMIC MULTILAYER BOARD

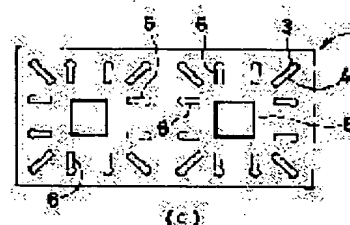
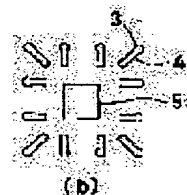
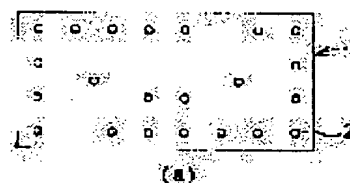
## (57)Abstract:

PURPOSE: To reduce the deviation of a mask for exposure use in the case where the mask is aligned to one several by a method wherein an exposure, which is performed by a photolithography method, is repeated by a plural of times.

CONSTITUTION: Via holes 2 for linking an internal wiring with a surface wiring are formed in a calcined ceramic multilayer board 1. Then, a conductor metal layer is formed on the whole surface of the board 1 and electrode 4 patterns and die pad 5 patterns are formed by a photolithography system. A mask pattern for photolithography use is a pattern to correspond to land 3 patterns and the electrode 4 and die pad 5 patterns.

The shrinkage factor of the board 1 in after it is calcined is measured, the board is fed using a stepper at a feed rate calculated on the basis of this shrinkage factor and two times of exposures are performed on the board 1, whereby a surface conductor pattern of the board 1 is formed. As surface electrode conductors are formed

using a single mask having such the pattern, unnecessary electrodes 6 are also formed simultaneously with the electrode conductors, but any problem is not generated at all.



## LEGAL STATUS

[Date of request for examination]

04.06.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3237904  
[Date of registration] 05.10.2001  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-85462

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl.<sup>5</sup>

H 0 5 K 3/46

H 0 1 L 23/12

識別記号

N 6921-4E

H 6921-4E

9355-4M

9355-4M

庁内整理番号

F I

H 0 1 L 23/ 12

N

Q

技術表示箇所

審査請求 未請求 請求項の数3(全 4 頁) 最終頁に続く

(21)出願番号

特願平4-186608

(22)出願日

平成4年(1992)7月14日

(71)出願人 000004190

日本セメント株式会社

東京都千代田区大手町1丁目6番1号

(72)発明者 菅野 修

東京都三鷹市大沢1-10-18

(72)発明者 中井 恭一

東京都北区浮間1-3-1-512

(72)発明者 江崎 徹

千葉県船橋市海神4-2-6

(72)発明者 高橋 繁

埼玉県志木市柏町6-25-27

(72)発明者 山岸 千丈

東京都杉並区荻窪2-17-4

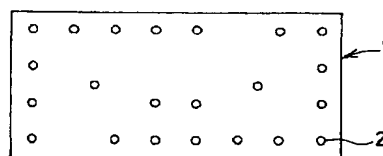
(74)代理人 弁理士 奥山 尚男 (外4名)

(54)【発明の名称】 セラミック多層基板の製造方法

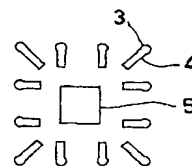
(57)【要約】

【目的】 フォトリソグラフィ法における露光を数回にわたって繰り返すことにより、焼成によるグリーンシートの収縮の収縮率が一定でないことにより生じる、露光用のマスクを合わせる際のずれを数分の1に低減するセラミック多層基板の製造方法を提供する。

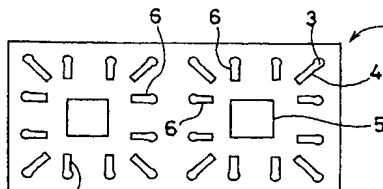
【構成】 焼成後のセラミック多層基板の表面に出ているバリアホールに接続する表面電極導体パターンをフォトリソグラフィ法により形成するセラミック多層基板の製造方法において、形成されるべき表面電極導体パターン全体よりも小さいマスクを用い、ある箇所では露光した後に、該マスクを移動し、再度露光する手順を繰り返すことにより、該セラミック多層基板の一部または全面にわたる該表面電極導体パターンを形成する。



(a)



(b)



(c)

## 【特許請求の範囲】

【請求項1】 焼成後のセラミック多層基板の表面に出ているバイアホールに接続する表面電極導体パターンをフォトリソグラフィ法により形成するセラミック多層基板の製造方法において、形成されるべき表面電極導体パターンよりも小さいマスクを用い、ある箇所で露光した後に、該マスクを移動し、再度露光する手順を繰り返すことにより、該セラミック多層基板の一部または全面にわたる該表面電極導体パターンを形成するセラミック多層基板の製造方法。

【請求項2】 上記セラミック多層基板全体の収縮量を測定し、その測定値に基づいてマスクの移動距離を計算し、ステッパーにより上記マスクを該移動距離だけ移動して、露光を繰り返すことを特徴とする請求項1に記載のセラミック多層基板の製造方法。

【請求項3】 上記セラミック多層基板上におかれる各ICチップが必要とする電極のパターンが異なる場合において、上記マスクが、各ICチップが必要とする表面電極導体パターンをすべて包含するパターンを有することを特徴とする請求項1に記載のセラミック多層基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体ICチップ（集積度の高いLSI、VLSIチップなども含む）を実装するためのセラミック多層基板の製造方法に関する。

## 【0002】

【従来の技術】セラミック多層基板では、ICチップ間の配線は内層で行うので、基板表面には、個々のICチップの接続用電極のみが存在する。このようなセラミック多層基板の製造にあったっては、通常、グリーンシートを積層し、焼成した後、基板表面に上記接続用電極となる導体パターンを形成する。ここで、焼成を行うとき、グリーンシートは収縮するが、その収縮率は一定でなく、ある程度のばらつきは避けられない。したがって、基板表面のバイアホールの位置も収縮に応じて変化し、一定ではない。このような変化するバイアホールの位置にマスクのパターンを合わせるため、次のような二つの方法がとられている。

【0003】第一の方法は、ランドの大きさを収縮率変化に対応できるように大きくとって、セラミック多層基板上にあらわれる全てのバイアホールと、マスクの配線パターン内の全てのランドとを一度に位置合わせして露光する方法である。

【0004】第二の方法は、収縮率の大小に応じて異なる大きさの導体パターンを複数のグループに分け、それぞれのグループに対応した複数のマスクを用意し、各グループをカバーする。この場合も、特定のセラミック多層基板に対して選ばれたマスクを使用して、基板全体を一度に露光する。

## 【0005】

【発明が解決しようとする課題】市販のグリーンシートの焼成後の収縮率のばらつきは、±0.3%程度である。例えば、100mm角の基板であれば、その対角線の両端のバイアホールの距離は、最大0.85mm（850μm）幅のばらつきを有することになる。したがって、上述した第一の方法では、バイアホール径が100μmであっても、それをカバーするランドの直径は、525μm程度が必要となり、パターンの高密度化が図れない。第二の方法では、収縮率の大小により焼成後の基板の大きさを数段階に分類し、それぞれに対応したマスクを用意してパターンニングする必要があり、工程数およびコストの両面で、大きな無駄が生じていた。

【0006】本発明の目的は、上記の課題に鑑み、フォトリソグラフィ法における露光を複数回にわたって繰り返すことにより、焼成によるグリーンシートの収縮率が一定でないことにより生じる、露光用のマスクを合わせる際のずれを数分の1に低減するセラミック多層基板の製造方法を提供することである。

## 【0007】

【課題を解決するための手段】本発明の要旨は、焼成後のセラミック多層基板の表面に出ているバイアホールに接続する表面電極導体パターンをフォトリソグラフィ法により形成するセラミック多層基板の製造方法において、形成されるべき表面電極導体パターン全体よりも小さい単一のマスクを用い、ある箇所では露光した後に、該マスクを移動し、再度露光する手順を繰り返すことにより、該セラミック多層基板の一部または全面にわたる該表面電極導体パターンを形成するセラミック多層基板の製造方法にある。

【0008】本発明方法によれば、上記のマスクを用いて、例えば、1個のICチップに対応する表面電極導体パターンを露光し、該マスクを移動させて、次のICチップのために露光を繰り返す。このような手順を繰り返して、セラミック多層基板の全面または一部にわたる表面電極導体パターンを形成する。

【0009】これにより、セラミック多層基板の焼成による収縮率の変動を原因とする位置合わせのずれを、数分の1に抑えることができる。たとえば、上記の例において、ICチップ1個用の電極導体パターンの大きさが10mm角であるとする、バイアホールに合わせる電極導体パターンのランド径は、150μm以下でよく、高密度配線対応の基板が1種類のマスクで製造できることとなる。

【0010】本発明において使用されるセラミック多層基板は、例えば、アルミナ基板のような高温焼成タイプと、ガラス・セラミックス基板に代表される低温焼成タイプがある。なかでも、近年広く利用されるようになった低温焼成ガラスセラミック基板は、抵抗、コンデンサを内蔵させて複合化し、同時焼成することが可能となる

という利点がある。また、850℃程度の比較的低温で焼成するため、高導電率の金や銀や銅といった導体をその内部配線等に使用することができる点で優れている。

【0011】また、本発明が適用されるセラミック多層基板の大きさは、特に限定されないが、通常、10×10mmから約100×100mmであり、また、ICチップの大きさは、2×2mmから10×10mm程度である。

【0012】フォトリソグラフィには、通常一般的に用いられている機器を利用することができる。ここで使用する感光レジストは、特に限定されず、ポジ、ネガのいずれを使用することもできる。

【0013】さらに、マスクの移動方法は、通常の位置決め方法を利用することができ、特に限定されない。ただし、セラミック多層基板の収縮率は、基板内で一定とみなすことが通常可能である。このような場合には、セラミック多層基板全体の収縮率がわかれば、1枚の基板内での位置合わせを容易に行うことができる。したがって、例えば、ステッパーを用いて、一定距離の移動を自動的に繰り返すことができ、量産化を図ることができる。

【0014】また、各ICチップの電極配線パターンが同一でない場合、すなわち、各ICの必要とする電極のパターンが異なる場合、個々のICチップの電極配線パターンを全て包含するようなパターンのマスクを用意して露光することができる。このようにすると、少なくとも一部のICチップに関しては必要でない電極配線も作成されることとなるが、そのような不必要な電極をダミーとして、なんらの働きをもしないよう、内部配線等をあらかじめ設計することにより対応することができる。このようにして、各ICチップの必要とする電極数または電極パターンが異なる場合においても、本発明方法に従い、単一または極めて少数のマスクを用いて露光を繰り返すことにより、セラミック多層基板全体にわたって、より高密度の表面電極導体パターンを形成することができる。

#### 【0015】

【実施例】本発明の実施例を、図面を参照して以下に詳述する。

【0016】図1は、本発明の第1実施例を示す平面図である。図1(a)は、内層の配線と表面の配線をつなぐためのバイアホール2を有するセラミック多層基板1が焼成された状態を示す。バイアホール2は、実装されたICチップからセラミック多層基板内部への配線を確保するための電極4に、ランド3を介して接続するもので、ここでは、左右2つのグループからなる。この後、基板1の全面に導体金属の層を形成する(図示せず)。

【0017】次にフォトリソグラフィ法により、電極4およびダイパッド5のパターンを形成する。図1(b)は、本発明のフォトリソグラフィ用マスクのパターン

で、図1(a)におけるバイアホール2の左右2つのグループのパターンを重ね合わせて、双方のグループに必要な電極導体をすべて作成できるようにしたものである。この図1(b)において、参照符号は、図1(c)において示された、ランド3、電極4、ダイパッド5に対応するパターン部分をそれぞれ示す。

【0018】図1(c)は、セラミック多層基板の焼成後の収縮率を測定し、この収縮率に基づいて算出した送り量で、ステッパーを用いて送って、2回の露光を行うことにより形成した基板1の表面導体パターンである。ここでは、図1(a)のバイアホールのパターンに対応して、図2に示すような表面導体パターンが最低限必要である。しかし、本実施例においては、図1(b)に示したパターンを有する単一のマスクにより表面電極導体を形成したので、不必要な電極6も同時に形成されている。しかし、この不必要な電極6は単に使用されないだけで、基板表面にあっても何ら問題を生じさせるものではない。

【0019】図中では、説明と理解を容易にするため、ICチップを2個登載する基板用のパターンの例を示した。しかし、発明者らは、100mm角の基板に100個のICチップを10×10のマトリクス状に配置するパターンにおいて、収縮率の基板間のばらつきが±0.3%ある場合に適用し、145μmのランド径を用いて、良好な接続が得られることを確認した。これは、従来技術によれば、1枚のマスクで対応するには直径525μmのランドで接続せねばならず、パターンの高密度化、ひいては高密度実装に対応できないこと、また、ランド径を200μmとすると、異なる収縮率に対応する少なくとも3種類のマスクを準備しなければならないことと対照的である。

#### 【0020】

【発明の効果】本発明によれば、セラミック多層基板の焼成時の基板の収縮率が大きく変動する場合でも、バイアホールと表面電極との接続用のランドを大きくする必要なしに、また、収縮率に合わせて数枚のマスクを使用することなしに、1枚または極めて少数のマスクで、高密度な電極導体パターンの形成が可能となる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例を示す平面図である。図1(a)は本発明方法により表面導体パターンを形成する前のセラミック多層基板を示す平面図であり、図1(b)は本発明方法において使用されるフォトリソグラフィ用マスクパターンの平面図であり、図1(c)は本発明方法により完成したセラミック多層基板の平面図である。

【図2】従来技術による、図1(c)のセラミック多層基板の製造に用いられるマスクのパターンの一例を示す平面図である。

#### 【符号の説明】

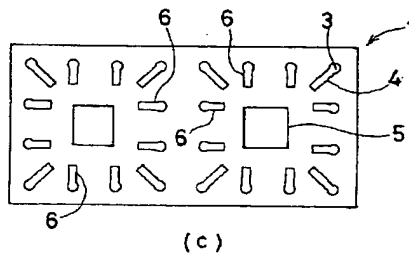
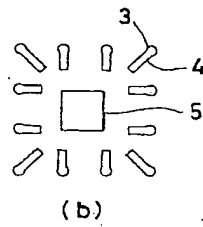
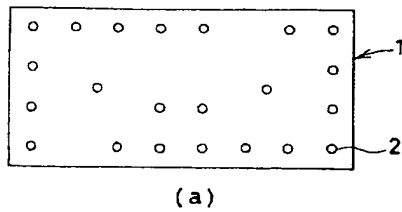
5

6

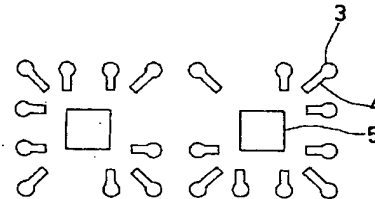
- 1 セラミック多層基板
- 2 バイアホール
- 3 ランド

- 4 電極
- 5 ダイパッド
- 6 不必要な電極

【図1】



【図2】



フロントページの続き

(51)Int.Cl.<sup>5</sup>

H05K 3/00

識別記号 庁内整理番号

G 6921-4E

F I

技術表示箇所